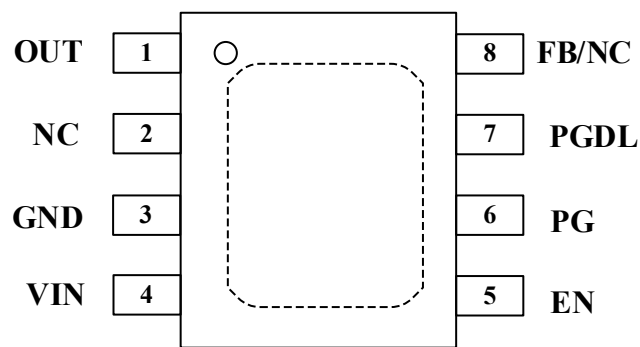
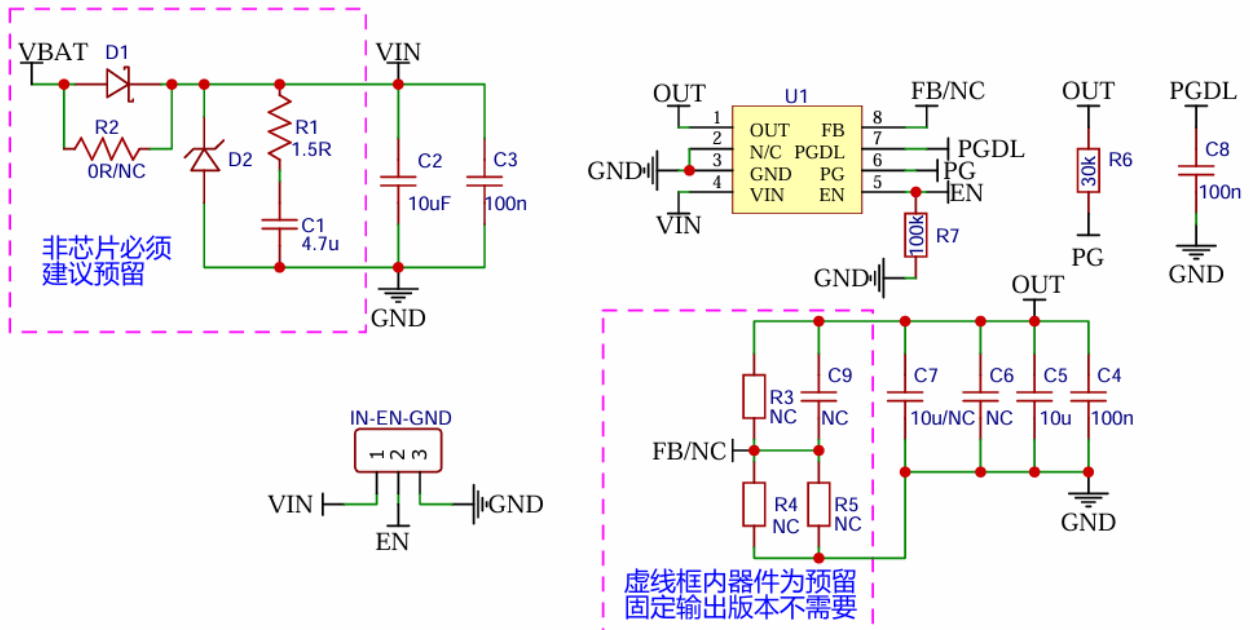


简介

SIT14503Q/P 系列是超低静态电流，低压差线性稳压器 (LDO)，具有 3V~40V 的宽输入电压范围，可提供 3.3V 和 5V 固定输出，和 1.2V~18V 的可调输出版本，能提供高达 300mA 的负载电流；SIT14503Q/P 系列的静态电流在关断时小于 1 μ A，在空载条件下，静态电流小于 6.5 μ A。SIT14503Q/P 系列可应用于汽车电子、工控系统、宽电压电池供电系统的电源管理。

封装引脚


引脚序号	引脚名称	引脚功能描述
1	OUT	输出管脚，在 OUT 和 GND 之间放置一个至少 2.2 μ F 的电容。
2	NC	无连接。
3	GND	地。
4	VIN	输入管脚，在 VIN 和 GND 之间放置一个至少 1 μ F 的陶瓷电容。
5	EN	使能管脚，连接到逻辑控制管脚或者直接连接到 VIN。
6	PG	输出正常指示引脚，不使用时，可悬空。
7	PGDL	可编程 PG 延迟时间，不使用时，可悬空。
8	FB/NC	可调版本的反馈输入引脚，FB 的标准值为 0.65V，这个端口用于设置输出电压。固定输出版本此 Pin 为 NC 悬空

典型应用

SIT14503Q/P 系列典型应用原理图

1. 上述“非芯片必须建议预留”框内的器件，主要是系统级的应用防护推荐的器件，对防反接、浪涌、热插拔、冷启动都会有一定效果
2. 除虚线框内的器件，SIT14503Q/P 系列周边器件推荐按建议值使用，以上所有电容建议采用 X7R 材质或同等材质及以上电容
3. VBAT 为输入源，建议经过预留的器件后，先经过 C2 (10 μ F)，再经过 C3 (100nF)到芯片 VIN 引脚，电容需靠近芯片引脚放置。
4. OUT 为输出端，根据不同版本会有 5V、3.3V 和可调版本，从 OUT 引脚先经过 C4 (100nF),然后再经过 C5 (10 μ F)到负载端，电容需靠近芯片引脚放置。

主推型号：

订购代码	输出电压	输出电流	封装	MSL	包装方式
SIT14503QT/P	5V	300mA	ESOP8	MSL 3	盘装编带
SIT14333QT/P	3.3V	300mA	ESOP8	MSL 3	盘装编带
SIT14AJ3QT/P	可调	300mA	ESOP8	MSL 3	盘装编带

可调版本反馈电阻选择

可调版本的输出电压可通过外部反馈分压器电阻来设置，根据以下公式，使用反馈分压电阻 R3 和 R4//R5(可只用一个电阻)进行设置：

$$V_{OUT} = V_{FB} * (1 + \frac{R3}{R4//R5})$$

要忽略 FB 引脚电流误差，建议将反馈分压器电流设置为 FB 引脚电流的 100 倍以上(推荐 $\geq 1\mu A$)；此设置提供最大反馈分压器串联电阻，如下式所示：

$$R3 + R4//R5 \leq \frac{V_{OUT}}{100 * I_{FB}}$$

分压电阻推荐误差不大于 1%，温度系数小于 100ppm 的电阻

PG & PGDL

Power Good 指示是 SIT14503Q/P 系列提供的一个表示它自身的输出处于正常状态的输出信号，系统中的其他部分在收到该信号以后可以进行一些相应的动作如初始化、开始一个有序列的行为等等。

SIT14503Q/P 系列还提供了 PGDL 用来设置 VOUT 正常到 PG 指示正常之间的延时 $t_{(DLY)}$ ；当 VOUT 电压上升到 $V_{(PG-RISE)}$ 时，PG 延迟 $t_{(DLY)}$ 时间后翻转为高， $t_{(DLY)}$ 时间由 PGDL 引脚到地之间所接的 C_{PGDL} 容值决定。

计算公式：

$$C_{PGDL} = \frac{I_{(CHARGE)} * t_{(DLY)}}{V_{(RISE)}}$$
$$t_{(DLY)} = \frac{C_{PGDL} * V_{(RISE)}}{I_{(CHARGE)}}$$

如取 $C_{PGDL}=100nF$

$$t_{(DLY)} = \frac{C_{PGDL} * V_{(RISE)}}{I_{(CHARGE)}} = 100 * 1.23 \div 1.45 = 84.8 \text{ (ms)}$$

通过以下公式可大致估算封装的允许功耗:

$$P_D = (V_{IN} - V_{OUT}) * I_{OUT}$$

$$T_J = T_A + R_{\theta JA} * P_D$$

$$I_{OUT} = (T_J - T_A) / (R_{\theta JA} * ((V_{IN} - V_{OUT})))$$

如 $V_{IN}=12V$, $V_{OUT}=5V$, $T_J=150^{\circ}C$, $T_A=45^{\circ}C$ 条件下能够输出的电流:

$$I_{OUT} = (150 - 45) / (42 * (12 - 5)) = 0.357 \text{ (A)}$$

符号	参数	封装类型	值	单位
$R_{\theta JA}$	结到环境热阻	ESOP8	42	$^{\circ}C/W$
$R_{\theta JC}$	结到外壳热阻	ESOP8	8	$^{\circ}C/W$

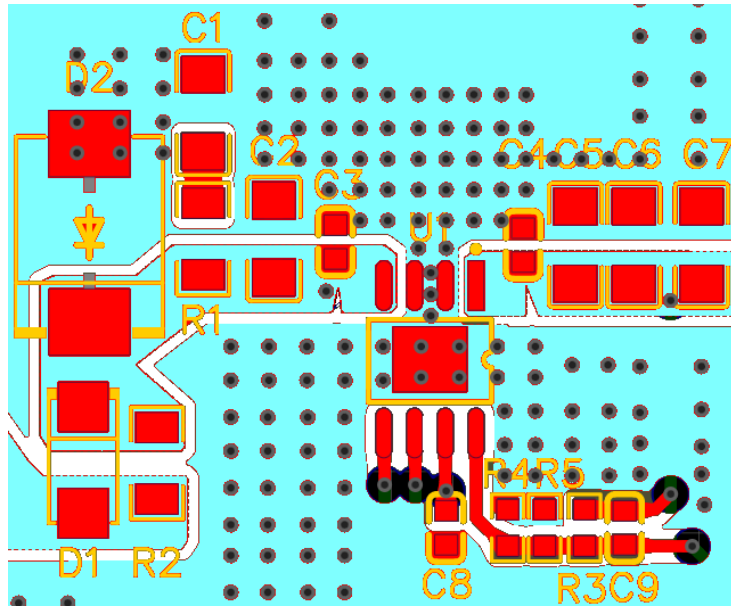
注: 根据 JEDEC JESD51-2, JESD51-5 and JESD51-7, 自然对流, 采用 2s2p (两层信号, 两层电源) PCB。

具体的允许功耗受 PCB、结构、散热条件以及外部因素影响较大, 以上提供的是相应条件下的理论值, 允许功耗的设计建议以实际的应用环境进行设计并适当留有裕量

PCB LAYOUT

为了更好地使用 SIT14503Q/P Series, 在 PCB LAYOUT 时, 建议遵循以下原则:

- 1、电容位置尽量靠近芯片引脚放置, 并且走线时都经过电容再到 IC 管脚; 小电容更靠近 IC。
- 2、过孔会引起路径的高阻抗, 如果设计中大电流需要通过过孔, 建议使用多个过孔。
- 3、芯片 GND 直接连到系统地, 连接的铜箔需要短、粗且尽量保持完整, 不被其他走线所截断。
- 4、PCB 的地线覆铜面积尽可能大, 以利于散热, 同时芯片底部的散热焊盘与地线覆铜须有良好的接触, 以保证散热良好。
- 5、应用中所使用的电容尽量选用 X7R 或同等及以上材质。



PCB Layout example